

Japanese Patent Publication No. 2773075/1998

(Patent no. 2773075) (Registered on April 24, 1998)

(A) Relevance to claim

The following is a translation of passages related to no claim of the present invention.

(B) Translation of the related passages

[EMBODIMENT OF THE PRESENT INVENTION]

Fig. 1 shows an example of a matched filter, in which electric charge signal packets are selectively applied to an analog shift register SR by using a routing mechanism R according a bit signal of a matching code so as to perform addition on the analog shift register SR. The electric charge signal packets are delivered respectively from a plurality of electric charge signal generating devices CG that are controlled in common by an input signal IN. The bit signal of the matching code is delivered from a digital memory means M such as a shift register and is latched to a signal latch device L. The routing mechanism R determines an operation, i.e., a transmitting path of the filter.

[0008]

In this example, only one of the outputs of the routing mechanism R is connected to the analog shift register SR, and the other output is not particularly used

but is disposed of in the end.

$[0010]$  和  $[2312]$  的  $\{h_1, k_1, l_1\}$  和  $\{h_2, k_2, l_2\}$  构成  $\{2, 2, 2\}$

アナログシフトレジスタSR0, SR1を備え、ルーチング回路Rのそれぞれ2個の出力をすべて利用して起動形式のワツチツ出力を得るワツチツアルターMFの構成を示している。

【0011】当然ながら、このような起動出力の生成は1本のワツチツレジスタを用いても、必要なワツチツ数さえ用意すれば図3と全く同様に実現できる。

【0012】図4は図3に示すワツチツレジスタMFの起動出力信号をアナログシフトレジスタSR0, SR1の延長上に配置された、複数の4象限乗算器MDAC変換器MDACに供給し、別途供給されるデジタルワツチツ出力信号(図5に示す)との乗算をそれぞれに実行し、起動形式をなすそれらの結果を、2個のサミングノードSN0, SN1で総合してバスタイバシナイー復調を行うRAKE型の復調器の例を示している。

【0013】尚、上記MDACの例としては、米国特許第5,539,404号など、電荷領域で動作する形式のMDACが最も適しているが、当然ながら電荷と電圧との間の変換を利用すれば通常のDA変換器であっても同様の動作が実現できる。

【0014】この例では、4象限乗算器を利用してデジタルワツチツ間数値の乗算を実行する例を示しているが、図1に示すように起動形式でないワツチツ出力を供給するワツチツアルターを用いる場合、当然MDACは2象限乗算の機能だけを備えれば十分であるし、出力のサミングノードも必要ない場合等によつては1個で構成することも可能である。

【0015】図5はRAKE型の復調装置の他の実施例を示す構成図である。図5において、マルチプレクサーMPXはワツチツアルターの起動出力を時分複多項によつて多量化し、電荷信号減算装置ATによる減算処理を実行した後、複数の4象限乗算器MDACのそれぞれに入力信号として供給する。

【0016】一方、RAKE制御装置「RAKE」は、それぞれのMDACにデジタル形式のワツチツ間数値を供給する。このRAKE制御装置「RAKE」は、一般のRAKE型復調器と同様に、ワツチツアルターの出力を基に通信用のマルチパス特性を特定し、個々のパスの(相対的に従つて)上記のワツチツ間数値を個々に決定する機能を果たすものである。この例の場合、例えば電荷信号減算装置ATで処理された電荷信号Aの出力の測定を、通じて上記のワツチツ間数値の決定を行うことが出来る。

【0017】また、上記ワツチツ間数は受信信号に含まれるマルチパス成分用に決定された、一般にサングターと呼ばれる信号を別のワツチツアルター装置によつて相関処理した出力から得られる、より正確なマルチパス測定データなどによつて図示の装置外で決定することも当然

ながら可能である。

【0018】図6は、図5の構成を2相逆置して直交形式をなす2系統のバスバフ「信号IN1, INRをそれぞれ入力とし、信号を復調するRAKE型信号復調装置」の例を示している。この例では、マルチプレクサーMPXに2個のワツチツアルターの出力が供給され、それぞれ多量化されたまま電荷信号減算装置ATで減算処理を受けた後、共通のサミングノードSN0, SN1で全て加算される構成となっている。

【0019】ここで、RAKE制御装置「RAKE」は、バスごとの信号特性に従つたワツチツ係数を個々のバス固有の位相特性を補正するための位相補償係数を用いた係数を各MDACに供給するため、入力に含まれるバスごとの位相のばらつきや変動の影響を軽減し、安定した出力が確保される。

【0020】

【発明の効果】電荷素子を排除し、異端に電力消費の少ないCCDなどの電荷搬送素子を用いることによつて、小形で電力消費の少ないワツチツアルターを構成し、更に、電荷領域で動作する位相補償回路を付加することによつて、シグナルワツチツ間のRAKE型復調器などをコンパクトに構成することが出来る。これによつて将来の実現が望まれる長コートを川いたCDMA方式などの通信方式の携帯通信装置の小形化と長寿命化が可能になる。

【図面の簡単な説明】

【図1】本発明の実施例のワツチツアルターを示す構成図である。

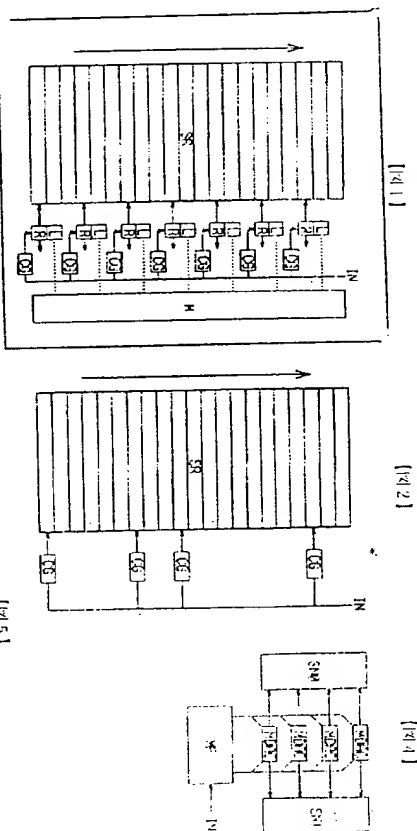
【図2】図1に示す信号ワツチツアルターに記憶されたデータ信号が一定である場合と等価な回路接続を示す構成図である。

【図3】本発明の他の実施例のワツチツアルターを示す構成図である。

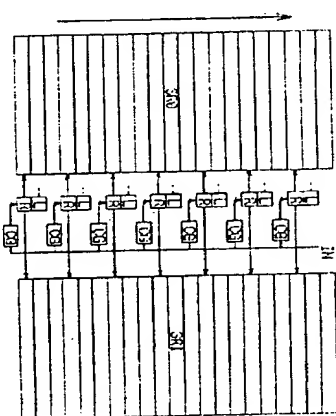
【図4】図3に示すワツチツアルターMFの起動出力信号をアナログシフトレジスタSR0, SR1の延長上に配置された複数の4象限乗算器MDACに供給し、別途供給されるデジタルワツチツ間数値との乗算をそれぞれに実行し、起動形式をなすそれらの結果を2個のサミングノードSN0, SN1で総合してバスタイバシナイー復調を行うRAKE型の復調器の一例を示す構成図である。

【図5】RAKE型の復調装置の他の例を示す構成図である。

【図6】図5の構成を2相逆置して直交形式をなす2系統のバスバフ「信号IN1, INRをそれぞれ入力とし、信号を復調するRAKE型信号復調装置」の一例を示す構成図である。



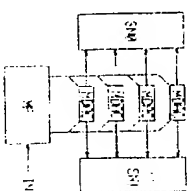
【図1】



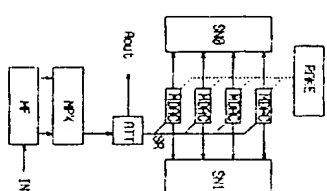
【図2】



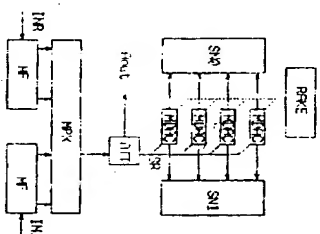
【図3】



【図4】



【図5】



【図6】

(5)

(56) 参考文献

- 特開 昭56-153821 (J P, A)
- 特開 昭60-232714 (J P, A)
- 特開 昭59-80013 (J P, A)
- 特開 昭58-90820 (J P, A)
- 特開 昭63-24732 (J P, U)
- 特公 昭-1-43487 (J P, B 2)

(58) 調査した分野 (Int. Cl. 6, (1) H 4)

H04J 13/00  
H03H 15/02

BEST AVAILABLE COPY